

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-175024

(43)公開日 平成11年(1999)7月2日

(51)Int.Cl.⁶

識別記号

F I

G 0 9 G 3/28

G 0 9 G 3/28

K

3/20

6 3 1

3/20

6 3 1 B

6 4 1

6 4 1 E

H 0 4 N 5/66

1 0 1

H 0 4 N 5/66

1 0 1 B

審査請求 未請求 請求項の数11 O L (全 13 頁)

(21)出願番号

特願平9-338747

(22)出願日

平成9年(1997)12月9日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 樋 章浩

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所マルチメディアシステム

開発本部内

(72)発明者 木村 雄一郎

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所家電・情報メディア事業

本部内

(74)代理人 弁理士 春日 譲

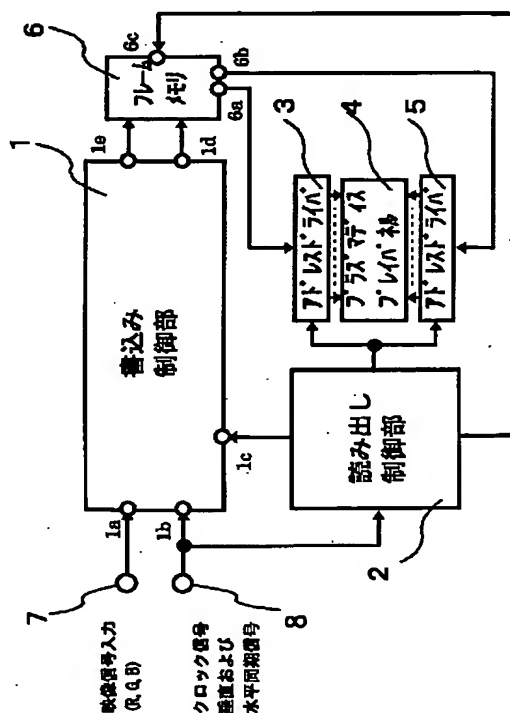
最終頁に続く

(54)【発明の名称】 プラズマディスプレイ装置

(57)【要約】

【課題】画像情報を記憶するメモリからの読み出し速度を上昇させる必要無く、安価な構成で表示画面の拡大と表示階調数の増加に対応可能なプラズマディスプレイ装置を実現する。

【解決手段】映像データに対して書き込み制御部1が予め前処理を行い事前に同ビットデータ毎にまとめプラズマディスプレイパネル4の表示画素の配置に対応させて映像データをフレームメモリ6に書き込む。フレームメモリ6は書き込み及び読みだしポートを備えたデュアルポートタイプのメモリを使用する。これにより、アドレスデータをフレームメモリ6から直接、順序を変えずに、アドレスドライバ3、5に供給することができる。このため、書き込み制御部1とフレームメモリ6間でのデータ転送を高効率化し、データ転送速度を上昇する事無く、表示画面の拡大と表示階調数の増加に対応可能となる。



【特許請求の範囲】

【請求項1】輝度の相対比及び発光維持期間が互いに異なる複数のサブフィールドで1フレームを構成して多階調の映像信号をプラズマディスプレイパネルに表示するプラズマディスプレイ装置において、

上記サブフィールドデータを記憶するフレームメモリと、

映像信号が入力され、この映像信号のサブフィールドデータの上記フレームメモリへの書き込みを制御する書き込み制御部と、

上記フレームメモリに記憶されたサブフィールドデータを、プラズマディスプレイパネルに書き込むアドレスドライバとを備え、

上記書き込み制御部は、上記アドレスドライバの入力信号の仕様及びプラズマディスプレイパネルへの上記アドレスドライバの配置位置に応じて、サブフィールドデータを並べ替えを、並び替えたサブフィールドデータを上記フレームメモリに記憶させ、このフレームメモリに記憶させたデータを、その順序を変えずに、上記フレームメモリから読みだして、上記アドレスドライバに供給するように構成したことを特徴とするプラズマディスプレイ装置。

【請求項2】請求項1記載のプラズマディスプレイ装置において、上記書き込み制御部は、映像データを水平方向に少なくとも2ライン分記憶できるラインメモリを備えることを特徴とするプラズマディスプレイ装置。

【請求項3】請求項1又は2記載のプラズマディスプレイ装置において、上記書き込み制御部は、映像データを階調ごとに選択するビット展開部を備え、このビット展開部は、少なくとも、所定のビット数からなるブロックの所定数分の段数からなる前段シフトレジスタと、この前段シフトレジスタの各段の出力データをロードする後段シフトレジスタとを備え、上記前段シフトレジスタのデータをブロック数の周期で後段シフトレジスタにロードし、後段シフトレジスタはロードしたデータから同階調データを出力するように制御することを特徴とするプラズマディスプレイ装置。

【請求項4】請求項1、2又は3記載のプラズマディスプレイ装置において、上記書き込み制御部は、所定のビット数からなる1単位を1ワードとすると、上記フレームメモリに一度に転送できるワード数に応じて、フレームメモリに書き込むデータを階調毎に上記一度に転送できるワード分だけまとめて記憶するバーストメモリを備えることを特徴とするプラズマディスプレイ装置。

【請求項5】請求項1、2、3又は4記載のプラズマディスプレイ装置において、上記書き込み制御部は、上記アドレスドライバの入力ビット数が $4 \times N$ (N は自然数)とし、所定のビット数からなる1単位を1ワードとすると、書き込み制御部に入力される映像入力信号のR、G、Bデータを $4 \times M$ (M は自然数)ワードの単位

に並べ替えを行うデータ数変換部を備えることを特徴とするプラズマディスプレイ装置。

【請求項6】輝度の相対比及び発光維持期間が互いに異なる複数のサブフィールドで1フレームを構成して、多階調の映像信号をプラズマディスプレイパネルに表示するプラズマディスプレイ装置のサブフィールドデータを記憶するフレームメモリへの、上記サブフィールドデータの書き込みを制御する書き込み制御装置において、上記プラズマディスプレイパネルに書き込むデータの入力仕様に応じて、上記書き込み制御装置に入力された映像信号のサブフィールドデータを並べ替え、上記フレームメモリに書き込み、記憶させることを特徴とする書き込み制御装置。

【請求項7】請求項6記載の書き込み制御装置において、映像データを水平方向に少なくとも2ライン分記憶できるラインメモリを備えることを特徴とする書き込み制御装置。

【請求項8】請求項6又は7記載の書き込み制御装置において、映像データを階調ごとに選択するビット展開部を備え、このビット展開部は、少なくとも、所定のビット数からなるブロックの所定数分の段数からなる前段シフトレジスタと、この前段シフトレジスタの各段の出力データをロードする後段シフトレジスタとを備え、上記前段シフトレジスタのデータをブロック数の周期で後段シフトレジスタにロードし、後段シフトレジスタはロードしたデータから同階調データを出力するように制御することを特徴とする書き込み制御装置。

【請求項9】請求項6、7又は8記載の書き込み制御装置において、所定のビット数からなる1単位を1ワードとすると、上記フレームメモリに一度に転送できるワード数に応じて、フレームメモリに書き込むデータを階調毎に上記一度に転送できるワード分だけまとめて記憶するバーストメモリを備えることを特徴とする書き込み制御装置。

【請求項10】請求項6、7、8又は9記載の書き込み制御装置において、上記フレームメモリへの入力ビット数を $4 \times N$ (N は自然数)とし、所定のビット数からなる1単位を1ワードとすると、書き込み制御装置に入力される映像入力信号のR、G、Bデータを $4 \times M$ (M は自然数)ワードの単位に並べ替えを行うデータ数変換部を備えることを特徴とする書き込み制御装置。

【請求項11】輝度の相対比及び発光維持期間が互いに異なる複数のサブフィールドで1フレームを構成して、多階調の映像信号をプラズマディスプレイパネルに表示するプラズマディスプレイ装置の駆動装置において、上記プラズマディスプレイパネルに書き込むデータの入力仕様に応じて、映像信号のサブフィールドデータを並べ替え、上記フレームメモリに書き込み、記憶させる書き込み制御手段と、

上記フレームメモリに記憶されたサブフィールドデータ

10

20

30

40

50

3

に基づいて、上記プラズマディスプレイパネルの表示画面に対応するアドレス信号を形成するアドレス信号形成手段と、を備えることを特徴とする駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイ装置等のアドレス制御に関し、特に映像信号データの並べ替え技術に関する。

【0002】

【従来の技術】従来のアドレス・表示期間分離型サブフィールド法を用いたAC型プラズマディスプレイ装置においては、例えば8サブフィールドの場合について説明すると、図15に示すように、1フレームの映像信号を、輝度の相対比が1:2:4:8:16:32:64:128の8個のサブフィールドSF1~SF8に分割している。

【0003】そして、各々のサブフィールドは、先頭部分のアドレス期間と、これに続く発光維持期間とで構成し、発光維持期間を順次長くし、1:2:4:8:16:32:64:128である比の発光期間に走査するようにして、8個のサブフィールドSF1~SF8の輝度の組み合わせで多階調の映像信号を表示している。従って、上記サブフィールドデータの読み出しは、1フレーム期間において少なくとも8回行わなければならない、表示画面の拡大と表示階調数の増加に従って、そのデータの転送も高速に行う必要がある。

【0004】従来のプラズマディスプレイ装置は、特開平7-7702号公報に示されるような構成となっている。この構成を図13及び図14を用いて説明する。なお、図13は、プラズマディスプレイ装置の全体構成図であり、図14は、図13に示したI/Oバッファ部9の内部ブロック図である。

【0005】図13及び図14において、映像入力端子7から入力された映像データは、表示制御部10においてランキング等の処理をした後に、I/Oバッファ部9のアドレス制御部91からのアドレス信号に従ってデータ制御部92からフレームメモリ6に記憶される。

【0006】フレームメモリ6に記憶されたデータは、アドレス制御部91のアドレス制御により、画面に表示する部位に対応してデータ制御部92に読み出され、表示するサブフィールドに対応してビット選択部93でビット選択が行われる。ビット選択部93でビット選択されたデータは、アドレスドライバ3及び5に供給され、表示する情報をプラズマディスプレイパネル4に書き込まれる。

【0007】

【発明が解決しようとする課題】ところで、サブフィールドデータの読み出しは、1フレーム期間において、表示階調数と同じ回数だけ行わなければならない、表示画面の拡大と表示階調数の増加に伴い、そのデータの転送も

4

高速に行う必要がある。つまり、フレームメモリ6から読み出すデータの読み出し速度は、フレームメモリ6からのデータの読み出し期間が、表示画像データ1フレームのサブフィールド期間の少なくとも数分の1となる速度である必要がある。

【0008】例えば、1024(H)×768(V)(×3色)ドット表示であり、フレーム周波数が70Hzで8サブフィールド表示の場合には、1画素データ毎に、フレームメモリ6からI/Oバッファ部9に読み出す場合の速度は1.3GHzにも上る。

【0009】しかしながら、この速度は現在の半導体技術では実現が難しい速度である。したがって、従来のプラズマディスプレイ装置においては、表示画面の拡大、表示階調数の増加が困難であった。

【0010】そこで、フレームメモリ6の出力データバス幅を広くし、一度に転送できるデータ量を増やす事や、フレームメモリ6の構成を工夫することによって、ある程度改善することが考えられる。しかし、データバス幅の増加は基板面積等の増大を招き、コストアップ、装置の大型化、消費電力の上昇等を生じるため好ましくない。

【0011】本発明の目的は、映像情報を記憶するメモリからの読み出し速度を上昇させる必要無く、安価な構成で表示画面の拡大と表示階調数の増加に対応可能なプラズマディスプレイ装置を実現するとともに、メモリへの書き込み制御装置及びメモリへの書き込み読みだしを制御する駆動装置を実現することである。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明は、次のように構成される。

(1) 輝度の相対比及び発光維持期間が互いに異なる複数のサブフィールドで1フレームを構成して多階調の映像信号をプラズマディスプレイパネルに表示するプラズマディスプレイ装置において、上記サブフィールドデータを記憶するフレームメモリと、映像信号が入力され、この映像信号のサブフィールドデータの上記フレームメモリへの書き込みを制御する書き込み制御部と、上記フレームメモリに記憶されたサブフィールドデータを、プラズマディスプレイパネルに書き込むアドレスドライバとを備え、上記書き込み制御部は、上記アドレスドライバの入力信号の仕様及びプラズマディスプレイパネルへの上記アドレスドライバの配置位置に応じて、サブフィールドデータを並べ替えを、並び替えたサブフィールドデータを上記フレームメモリに記憶させ、このフレームメモリに記憶させたデータを、その順序を変えことなく、上記フレームメモリから読みだして、上記アドレスドライバに供給する。

【0013】(2) 好ましくは、上記(1)において、上記書き込み制御部は、映像データを水平方向に少なくとも2ライン分記憶できるラインメモリを備える。

5

【0014】(3) また、好ましくは、上記(1)又は(2)において、上記書き込み制御部は、映像データを階調ごとに選択するビット展開部を備え、このビット展開部は、少なくとも、所定のビット数からなるブロックの所定数分の段数からなる前段シフトレジスタと、この前段シフトレジスタの各段の出力データをロードする後段シフトレジスタとを備え、上記前段シフトレジスタのデータをブロック数の周期で後段シフトレジスタにロードし、後段シフトレジスタはロードしたデータから同階調データを出力するように制御する。

【0015】(4) また、好ましくは、上記(1)、(2)又は(3)において、上記書き込み制御部は、所定のビット数からなる1単位を1ワードとすると、上記フレームメモリに一度に転送できるワード数に応じて、フレームメモリに書き込むデータを階調毎に上記一度に転送できるワード分だけまとめて記憶するバーストメモリを備える。

【0016】(5) また、好ましくは、上記(1)、(2)、(3)又は(4)において、上記書き込み制御部は、上記アドレスドライバの入力ビット数が $4 \times N$ (N は自然数)とし、所定のビット数からなる1単位を1ワードとすると、書き込み制御部に入力される映像入力信号のR、G、Bデータを $4 \times M$ (M は自然数)ワードの単位に並べ替えを行うデータ数変換部を備える。

【0017】(6) また、輝度の相対比及び発光維持期間が互いに異なる複数のサブフィールドで1フレームを構成して、多階調の映像信号をプラズマディスプレイパネルに表示するプラズマディスプレイ装置のサブフィールドデータを記憶するフレームメモリへの、上記サブフィールドデータの書き込みを制御する書き込み制御装置において、上記プラズマディスプレイパネルに書き込むデータの入力仕様に依じて、上記書き込み制御装置に入力された映像信号のサブフィールドデータを並べ替え、上記フレームメモリに書き込み、記憶させる。

【0018】(7) 好ましくは、上記(6)において、映像データを水平方向に少なくとも2ライン分記憶できるラインメモリを備える。

【0019】(8) また、好ましくは、上記(6)又は(7)において、映像データを階調ごとに選択するビット展開部を備え、このビット展開部は、少なくとも、所定のビット数からなるブロックの所定数分の段数からなる前段シフトレジスタと、この前段シフトレジスタの各段の出力データをロードする後段シフトレジスタとを備え、上記前段シフトレジスタのデータをブロック数の周期で後段シフトレジスタにロードし、後段シフトレジスタはロードしたデータから同階調データを出力するように制御する。

【0020】(9) また、好ましくは、上記(6)、(7)又は(8)において、所定のビット数からなる1単位を1ワードとすると、上記フレームメモリに一度に

6

転送できるワード数に応じて、フレームメモリに書き込むデータを階調毎に上記一度に転送できるワード分だけまとめて記憶するバーストメモリを備える。

【0021】(10) また、好ましくは、上記(6)、(7)、(8)又は(9)において、上記フレームメモリへの入力ビット数を $4 \times N$ (N は自然数)とし、所定のビット数からなる1単位を1ワードとすると、書き込み制御装置に入力される映像入力信号のR、G、Bデータを $4 \times M$ (M は自然数)ワードの単位に並べ替えを行うデータ数変換部を備える。

【0022】(11) また、輝度の相対比及び発光維持期間が互いに異なる複数のサブフィールドで1フレームを構成して、多階調の映像信号をプラズマディスプレイパネルに表示するプラズマディスプレイ装置の駆動装置において、上記プラズマディスプレイパネルに書き込むデータの入力仕様に依じて、映像信号のサブフィールドデータを並べ替え、上記フレームメモリに書き込み、記憶させる書き込み制御手段と、上記フレームメモリに記憶されたサブフィールドデータに基づいて、上記プラズマディスプレイパネルの表示画面に対応するアドレス信号を形成するアドレス信号形成手段と、を備える。

【0023】フレームメモリに書き込むデータに予め前処理を行い、事前に同階調データ毎にまとめる処理を行う。これにより、アドレスデータは1/Oバッファ部を介さずに直接、アドレスドライバに供給する。この構成により、映像情報を記憶するメモリからの読み出し速度を上昇させる必要無く、安価な構成で表示画面の拡大と表示階調数の増加に対応可能となる。

【0024】

【発明の実施の形態】以下、本発明の実施形態を図面を用いて説明する。図1は、本発明によるプラズマディスプレイ装置の第1の実施形態を示す全体概略ブロック図である。図1において、1は書き込み制御部、2は読み出し制御部、3及び5はアドレスドライバ、4はプラズマディスプレイパネル、6は、書き込みポートと読み出しポートとを有するデュアルポートタイプのフレームメモリ、7は映像信号入力端子、8は、クロック信号、垂直及び水平同期信号の入力端子である。

【0025】映像入力端子7より入力された映像データは、書き込み制御部1においてアドレスドライバ3の配置に対応したデータの並べ替えが行われた後に、フレームメモリ6に記憶される。読み出し制御部2は、フレームメモリ6の読み出しアドレス最上位ビットを端子1cを介して書き込み制御部1に入力し、書き込み制御部1はフレームメモリ6への書き込みと読み出しアドレスが衝突しないように制御を行う。フレームメモリ6のデータは画面に表示する部位に対応して読み出し制御部2から端子6cを介して入力する読みだしアドレスおよび制御信号にしたがって、読み出す。

【0026】フレームメモリ6より読み出したデータは

10

20

30

40

50

7

端子6 aおよび6 bを介してアドレスドライバ3および4に供給される。アドレスドライバ3および5はプラズマディスプレイパネル4に表示する情報を書き込む。さらに、読み出し制御部2は発光に必要な駆動パルスをプラズマディスプレイパネル4に供給して発光させる。

【0027】次に、書き込み制御部1の一例を図3を用いて説明する。ここで、図1と同様の機能を有するブロックおよび端子には同一符号を付けてある。図3において、11はデータ数変換部であって、入力端子11 aから入力された6ドット分(R、G、Bそれぞれ2ドット)のデータを保持し、区切り直すことによって8ドット分のデータとして出力する。

【0028】12はラインメモリであって、データ数変換部11の出力端子11 cからのデータを2ラインデータ分格納するだけの容量があり、読み出しアドレスを制御することでアドレスドライバIC(図示せず)の入力信号の仕様のそれぞれに対応したデータへの並べ替えを行う。13はビット展開部であって、ラインメモリ12の出力端子13 aからのデータから各ビットデータを選択し、出力端子13 cから端子1 eを介してフレームメモリ6にまとめて出力する。

【0029】15はタイミング制御部であって、このタイミング制御部15は書き込み制御部1のタイミングを制御するとともに、フレームメモリ6へ書き込み制御信号を出力する。つまり、入力単位1 bからのクロック信号等に基づいて、データ数変換部11の端子11 b、ラインメモリ12、ビット展開部13の端子13 b、フレームメモリ6に書き込み制御信号を供給する。

【0030】次に、アドレスドライバ3に供給するデータの配列について図2を用いて説明する。ここで、図1と同様の機能を有するブロックおよび端子には同一符号を付けてある。また、この例ではアドレスドライバ3および5はプラズマディスプレイパネル4の両側に配置した場合について説明を行うが、片側にまとめて配置してもよい。

【0031】図2において、31、32、33、34および51、52、53、54は、それぞれフレームメモリ6からアドレスドライバ3、5にデータを供給するデータ線を示す。また、311および312、313~315はアドレスドライバICを示している。

【0032】アドレスドライバICは、データ線より入力したデータをシリアル-パラレル変換し、そのデータに従ってプラズマディスプレイパネル4へ発光情報を書き込む。ここでは例えば、アドレスドライバIC1個の入力のデータ線のビット数を4、プラズマディスプレイパネル4へのデータ線のビット数を64とした場合について説明を行う。

【0033】アドレスドライバIC311とアドレスドライバIC312はカスケードに接続されており、アドレスドライバIC311、312は見かけ上、4ビット

8

入力で128ビット出力のアドレスドライバICと同じ機能を有する。これは、フレームメモリ6からアドレスドライバ3、5に inputsするデータ線のビット数を減らすためである。

【0034】アドレスドライバ3および5はプラズマディスプレイパネル4の両側に配置しており、プラズマディスプレイパネル4の上下よりクシの歯状に交互にアドレス線が引き出されている(図示せず)。アドレスドライバICに入力するデータは上下4個のアドレスドライバICを1ブロックとして扱うことができるため、1ブロックに供給するデータは8ビットで、出力は256ビットデータを一まとめとして考えればよい。

【0035】つまり、画面上の表示データ配列と各アドレスドライバICに入力するデータとの関係は隣接したブロック間で256ビット間隔となる。これより各ブロックともに8ビット(上下あわせて)データを32回入力することにより1ライン分の表示画素を設定できる。これ以降、機能ブロック以外でブロックとは、上記、ブロック分けのことを示すものとする。なお、図2のアドレスドライバICに付記してある1~nはブロック番号を示す。

【0036】図4に表示データとアドレスドライバICへ入力するデータの配列関係を示す。

【0037】図4の(a)は画面左上の表示データの配列を示している。前述したように1ブロックに同時に入力するデータは8ビットである。

【0038】ここで、表示画面においてアドレス線がアドレスドライバ3側から始まっているとすると、アドレスドライバIC311に第1回目に供給するデータは、R1、B1、G2、R3の4ビットとなる。同様に、第2回目にアドレスドライバIC311に供給するデータは、B3、G4、R5、B5と繰り返し、32回データを取り込むことによって128ドット分のデータとなる(図4の(b))。

【0039】このようにして、図4の(c)に示すように、上下の4個のアドレスドライバICを合わせて256ドット分のデータを設定することができる。この動作を垂直ライン数の回数繰り返せば1画面分の表示画素(ただし、1ビット分)の設定を行うことができる。

【0040】次に、上記アドレスドライバに供給するデータの生成方法について図5を用いて説明する。ここではデータ数変換部11に入力する映像データはR、G、Bそれぞれ2相入力として説明を行うが、単相入力であっても一旦、2相入力に変換すれば同様に扱うことができるのは言うまでもない。

【0041】図5において、111および112はシフトレジスタを示しており、クロック信号の立ち上がりで入力データを保持する。ここで、シフトレジスタ111および112に付記されたR1、G1、B1等は図4(a)の表示画素に対応している。図5の(a)は映像

10

20

30

40

50

データ入力より2クロック目の状態を示している。同様に、図5の(b)、図5の(c)はそれぞれ3クロック目および4クロック目のシフトレジスタ111および112の状態を示している。図5の中で、塗りつぶされていないタイミングでのデータを有効データとして順次使用する。

【0042】例えば、図5の(a)に示す2クロック目では、R1、G1、B1、R2、G2、B2、R3、G3の8ドットデータを選択する。また、図5の(b)に示す3クロック目では、B3、R4、G4、B4、R5、G5、B5、R6の8ドットデータを選択する。図5の(c)に示す4クロック目では、G6、B6、R7、G7、B7、R8、G8、B8の8ドットデータを選択する。

【0043】このようにして、シフトレジスタ111および112の出力を順次選択することにより6ドットデータを4回入力して8ドットデータを3回出力する。このサイクルを図5の(d)、クロック信号を図5の(e)に示す。この動作により、6ドットデータを8ドットデータに変換することができる。従って、この8ドット単位になったデータについて各階調のビットをそれぞれ選択すればアドレスドライバに入力するデータとなる。

【0044】ただし、データ数変換部11はアドレスドライバIC(図示せず)の入力が3ビットもしくは3の整数倍の場合は必要なく、ラインメモリ12への書き込みを連続に行えばよい。

【0045】図6にラインメモリ12の動作説明図を示す。図6の(a)には水平方向1024x3(R、G、B)ドットの表示画面において、アドレスドライバをプラズマディスプレイパネル4の両側に配置して使用する場合と、図6の(b)にはアドレスドライバをプラズマディスプレイパネル4の片側に配置して使用する場合のラインメモリ12の使用エリアマップを示す。

【0046】図6の(a)では、上述したように8ドットデータを32回で1ブロック分のデータとなるため、32ワードを1ブロックと考え、32ワードx12ブロック使用している。図6の(b)ではプラズマディスプレイパネル4の片側だけにアドレスドライバを配置しているため、128ドットで1ブロック単位となる。従って、8ドットデータを16回で1ブロック分のデータとなるため、16ワードを1ブロックと考え、1ライン分のデータを16ワードx24ブロックで構成している。

【0047】ここで、ラインメモリ12の構成は、1ワード80ビットで1024ワード記憶できるデュアルポートメモリとして説明を行うが、1ワードあたりのビット数は少なくとも表示する映像データのビット数の8倍あればよい。例えば、8ビット表示であれば64ビットあればよい。

【0048】また、ワード数に関しても、この例では水

平方方向の画素が1024x3ドットの場合について説明をしており、512ワード構成のメモリを2バンク(書き込み、読み出しそれぞれ1バンクずつ)として、それぞれ384ワードしか使用していない。

【0049】また、水平方向の画素が1366(x3(R、G、B))ドットを超えるような場合は2048ワードの構成とすればよい。また、ラインメモリ12は必ずしもデュアルポートである必要はなく、デュアルポートメモリのワード構成の半分の大きさのシングルポートメモリを2バンク使用して書き込みバンクと読み出しバンクをセレクトで切り替えればデュアルポートメモリを使用するのと同様な機能が得られる。

【0050】ラインメモリ12への書き込みは例えば下位アドレスより順次行う。図6では書き込みアドレスを512以降とし、読み出しアドレスを0以降としているがこれら、書き込みおよび読み出しのアドレスは互いに同時にアクセスされることはなく、交互に使用される。つまり、各面において、書き込みが終了したら次は読み出すように制御する。

【0051】図7にラインメモリ12の読み出し時の一動作例を示す。この例では、読み出しアドレスは0、32、64、・・・とブロックの先頭データより順番に読み出すように制御している。同様に、図6の(b)で示した片側引き出しの場合の読み出しアドレスの飛び越し間隔は16ずつとすれば良い。前述の制御により、ラインメモリ12より読み出したデータは各ブロックに対応したデータとなる。

【0052】このデータから同じビットのデータを選択すれば、アドレスドライバに入力するデータが得られる。なお、この例ではラインメモリ12の書き込みアドレスは順次行い、読みだしアドレスを間欠的に制御することによってデータの並べ替えを行ったが、書き込みアドレスを間欠的に制御し、読みだしアドレスを連続的に順次行っても同じような効果が得られる。

【0053】図8にビット展開部13の一例を示す。ここで、図3と同様の機能を有するブロックには同一符号を付けてある。ビット展開部13は、前段シフトレジスタ131および後段シフトレジスタ132より構成される。

【0054】次に、動作を説明する。端子13aからはラインメモリ12より読み出されたデータを入力する。端子13bからは上記データを保持するタイミングでクロック信号を入力する。

【0055】上記データは各ブロックに対応して順次入力されており、前段シフトレジスタ131はブロックと同数のシフトレジスタによって構成されている。前段シフトレジスタ131の各々のシフトレジスタすべてにデータが保持された直後にすべてのデータを後段シフトレジスタ132にロードする。これにより、後段シフトレジスタ132のそれぞれに各ブロックに対応したデータ

10

20

30

40

50

が保持される。

【0056】例えば、以上説明したように、水平方向を1024ドット(×3(R、G、B))とし、64ビットドライバ(4ビット入力、64ビット出力、ただし、2個カスケード接続して使用し、両側引き出し)の場合ブロック数は、12(=3072/256)であるから、後段シフトレジスタ132中でnは12となる。

【0057】この12番目のシフトレジスタ1321の説明図を図9に示す。図9の(a)は、図8の後段シフトレジスタ132中、最後段に位置するシフトレジスタ1321に先頭のデータをロードした状態を拡大表示する。図9の(b)は後段シフトレジスタ132中、R1データのみを拡大したものである。図9の(a)は各ドットのデータが順番に格納されている状態を示している。ここで、例えば、先頭のR1データに着目する。1ドットあたりのビット数が10ビットとすると図9の(b)に示すように、R1データは10段のシフトレジスタに格納されており、シフトクロック信号(図示せず)が入力されるとR1データの例えば最下位データから順に出力される。

【0058】同様に、G1、G2、R2、・・・からも同様に1ビットずつデータが出力され、合計8ビットのデータが出力される。ここで、図8中の後段シフトレジスタ132中の12個のシフトレジスタのそれぞれから8ビットデータが出力されるため、1クロックに対して96(=8bit×12)ビットのデータを同時に出力する。この処理によって、各ブロックへの同階調のデータを選択する事ができる。

【0059】図10に書き込み制御部1の他の例のブロック図を示す。ここで、図3に示したブロック及び端子と同様の機能を有するものには同一符号を付けてある。

【0060】図10において、14はバーストメモリである。このバーストメモリ14には、ビット展開部13の端子13cからデータが供給され記憶される。また、バーストメモリ14には、タイミング制御部15からタイミング制御信号が供給される。そして、バーストメモリ14に記憶されたデータがフレームメモリ6に供給される。

【0061】フレームメモリ6として、ブロック転送タイプ(メモリにアドレスを1度与えればその後数ワードは自動的にアドレスが加算され、バースト的にデータを書き込むことができる。この動作によって書き込みおよび読みだし速度を稼いでいる)のメモリを使用する場合には、例えば、16ワードのデータをまとめておくことが必要となる。従って、バーストメモリ14に階調データをバースト数分だけ記憶し、まとめてフレームメモリ6に送る事が必要となる。

【0062】この動作を図11を用いて説明する。図11はバーストメモリ14のアドレスマップを示している。ここで、バーストメモリ14はアドレス256を境

にして2バンクとして、それぞれのバンクに書き込みと読みだしを交互に行っている。

【0063】バーストメモリ14に入力されるデータはビット展開部13で各ビット(階調)データに並べ換えられており、階調順に入力されるため、バーストメモリ14ではアドレスを16間隔で書き込めばよい。また、フレームメモリ6に書き込む際は同一の階調データを一度に書き込む必要があるため、各階調データは、それぞれ16ワードとしている。

10 【0064】図12にバーストメモリ14の書き込みアドレスを示す。これより、書き込みアドレスを0、16、32、48、・・・、144と16間隔になるように制御し、階調数分だけ加算したら、1、17、33、49、・・・145と繰り返し書き込みを行い、それぞれの階調データを16ワード分書き込む。読み出しはアドレス下位より順次、読み出せば、0、1、2、3、・・・と階調別にデータを16ワードづつ読み出すことができる。

20 【0065】なお、この例ではバーストメモリ14への書き込みアドレスを間欠的に制御し、読みだしアドレスは順次、連続的に行うことでデータの並べ替えを行ったが、書き込みアドレスを順次、連続的に行い、読みだしアドレスを間欠的に制御しても同様な効果が得られる。

【0066】また、バースト数は、ここでは16として説明を行ったが、使用するメモリの仕様に応じて変えればよい。データ変換部11はアドレスドライバIC(図示せず)の入力が3ビットもしくは3の整数倍の場合は必要なく、ラインメモリ12への書き込みを連続で行えばよい。

30 【0067】以上の動作によって、各ブロックに入力するデータをビット別に並べ替えを行うことができ、冗長なデータが無く、フレームメモリ6から読み出したデータは、順序を入れ換えることなく、アドレスドライバに供給することができ、書き込み制御部1からフレームメモリ4への書き込み速度および読み出し速度を必要最低限に抑えることができる。

40 【0068】したがって、映像情報を記憶するメモリからの読み出し速度を上昇させる必要無く、安価な構成で表示画面の拡大と表示階調数の増加に対応可能なプラズマディスプレイ装置を実現するとともに、メモリへの書き込み制御装置及びメモリへの書き込み読みだしを制御する駆動装置を実現することができる。

【0069】なお、上述した例において、フレームメモリ4は書き込み制御部1の外部にある構成で説明を行ったが、書き込み制御部1にフレームメモリ4が含まれる構成であつてもよい。

50 【0070】また、読みだし制御部2についても同様に、書き込み制御部1の外部にある構成で説明を行ったが、書き込み制御部1に読み出し制御部2が含まれる構成であつてもよい。

【0072】

【0073】また、映像情報を記憶するメモリと書き込み制御部との間でのデータ転送のための、配線本数も減らすことができ、基板面積の低減や消費電力の低減に効果がある。

【図1】本発明のプラズマディスプレイ装置の一実施形態の全体概略ブロック図である。

【図2】図1におけるアドレスドライバの概略構成図である。

【図3】図1における書き込み制御部の概略構成図である。

【図4】図2におけるアドレスドライバの動作の説明図である。

【図5】図3におけるデータ数変換部の動作の説明図である。

【図6】図3におけるラインメモリの動作の説明図である。

【図7】図3におけるラインメモリの動作の説明図である。

【図 8】図 3 におけるビット展開部の動作の説明図であ

【図9】図8における後段シフトレジスタの動作の説明図である。

【図10】図1における書き込み制御部の他の例の概略構成図である。

【図11】図10におけるバーストメモリの動作の説明図である。

【図12】図10におけるバーストメモリの動作の説明図である。

【図13】従来のプラズマディスプレイ装置の概略構成図である。

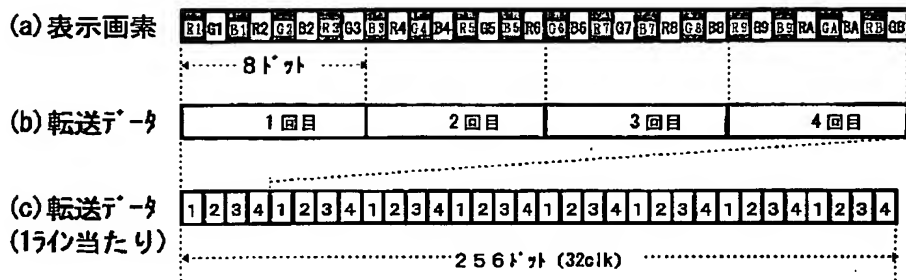
【図14】従来のプラズマディスプレイ装置のI/Oバッファ部の概略構成図である。

【図15】プラズマディスプレイ装置における映像信号の駆動方式の説明図である。

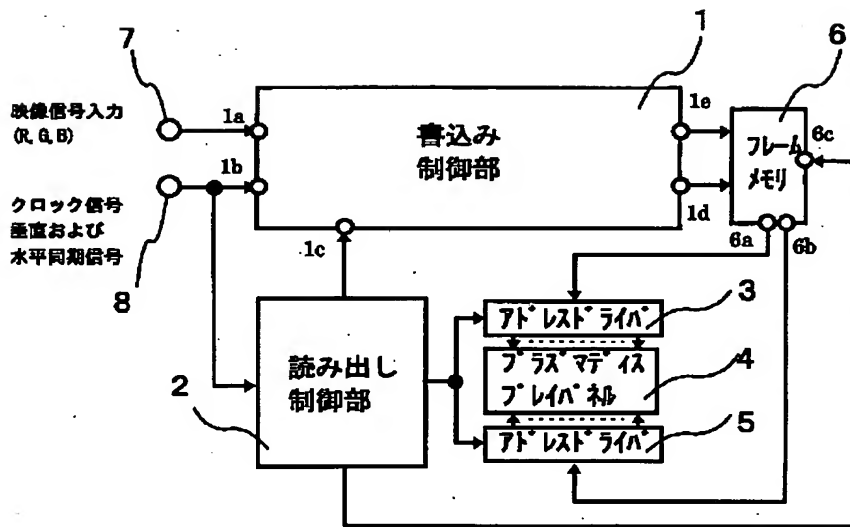
【符号の説明】

- 1 書き込み制御部
- 2 読み出し制御部
- 3、5 アドレスドライバ
- 4 プラズマディスプレイパネル
- 6 フレームメモリ
- 7 映像信号入力端子
- 8 クロック信号等の入力端子
- 11 データ数変換部
- 12 ラインメモリ
- 13 ビット展開部
- 14 バーストメモリ
- 15 タイミング制御部
- 31～34、51～54 データ線
- 111、112 シフトレジスタ
- 131 前段シフトレジスタ
- 132 後段シフトレジスタ
- 311～315 アドレスドライバIC

【图4】



【図 1】

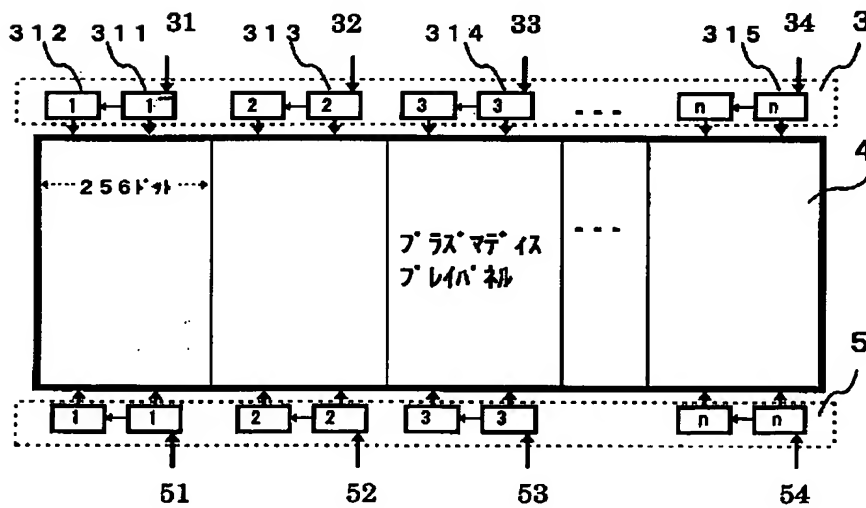


【図 12】

バスメモリ書き込みアドレス

階層	0	1	2	3	4	5	6	7	8	9
0	0	16	32	48	64	80	96	112	128	144
1	17	33	49	65	81	97	113	129	145	
2	18	34	50	66	82	98	114	130	146	
3	19	35	51	67	83	99	115	131	147	
4	20	36	52	68	84	100	116	132	148	
5	21	37	53	69	85	101	117	133	149	
6	22	38	54	70	86	102	118	134	150	
7	23	39	55	71	87	103	119	135	151	
8	24	40	56	72	88	104	120	136	152	
9	25	41	57	73	89	105	121	137	153	

【図 2】

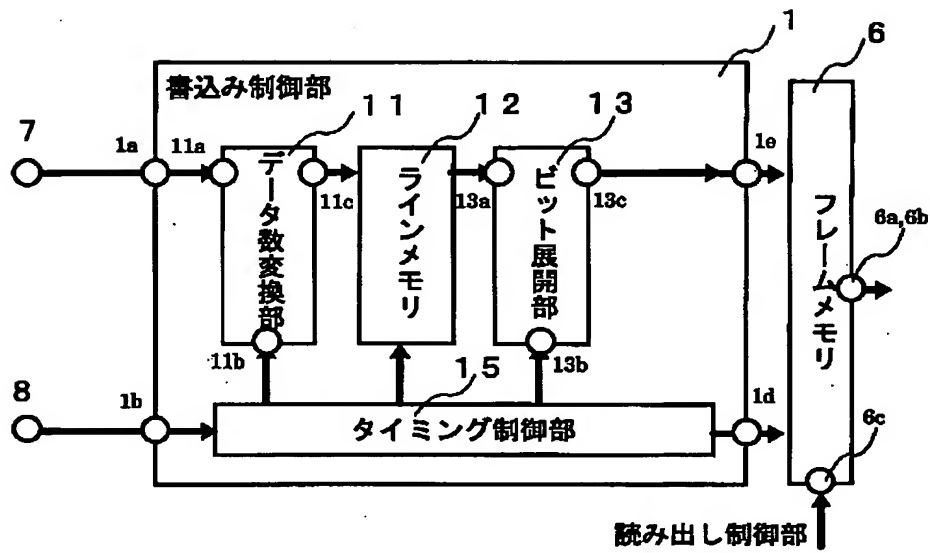


【図 7】

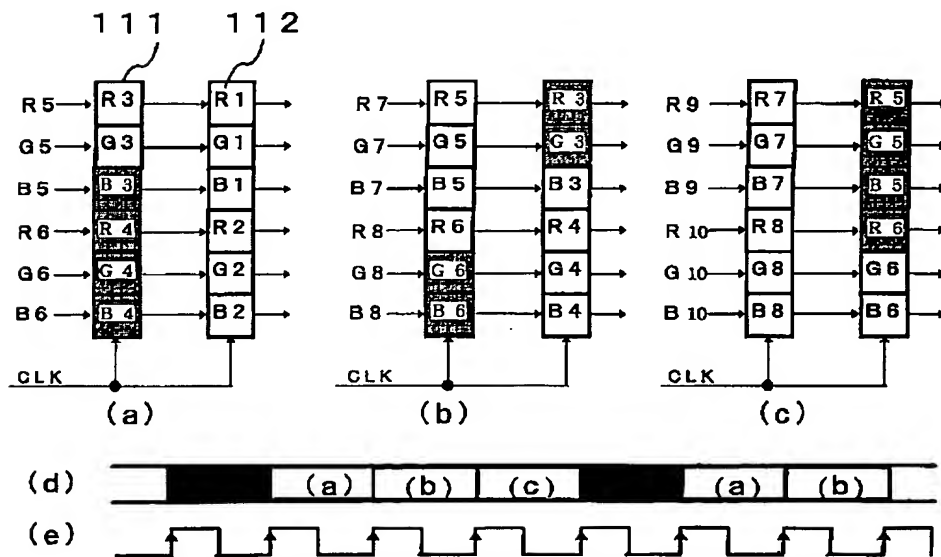
読みだしアドレス XGA両側引出時

アドレス	0	1	2	3	4	5	6	7	8	9	10	11
0	0	32	64	96	128	160	192	224	256	288	320	352
1	33	65	97	129	161	193	225	257	289	321	353	
2	34	66	98	130	162	194	226	258	290	322	354	
3	35	67	99	131	163	195	227	259	291	323	355	
4	36	68	100	132	164	196	228	260	292	324	356	
5	37	69	101	133	165	197	229	261	293	325	357	
6	38	70	102	134	166	198	230	262	294	326	358	
7	39	71	103	135	167	199	231	263	295	327	359	
8	40	72	104	136	168	200	232	264	296	328	360	
9	41	73	105	137	169	201	233	265	297	329	361	
10	42	74	106	138	170	202	234	266	298	330	362	
11	43	75	107	139	171	203	235	267	299	331	363	

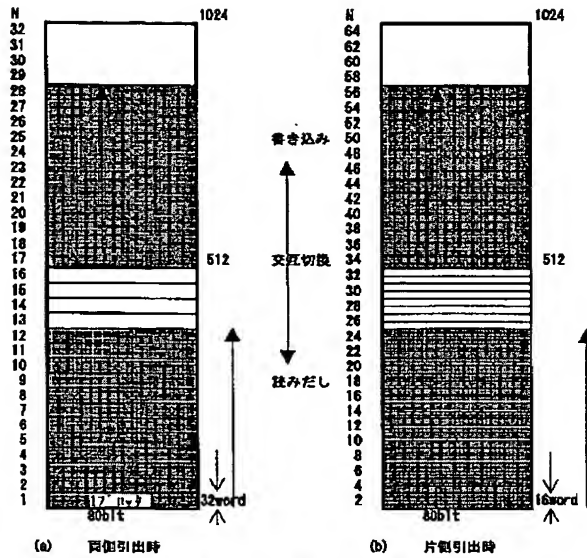
【図 3】



【図 5】

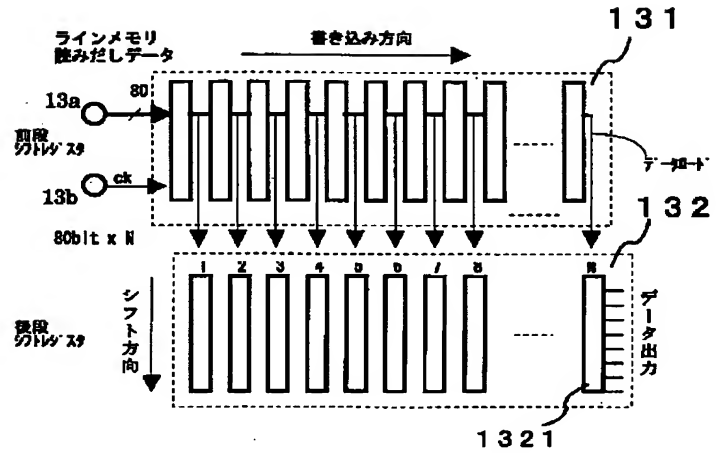


【図 6】

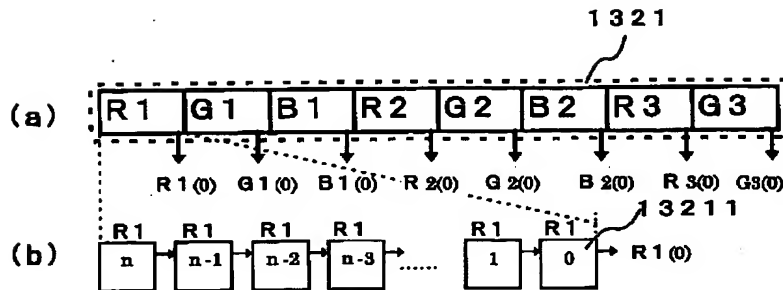


水平1024x32ビット (64ビット×32ワード使用時)の使用エリア

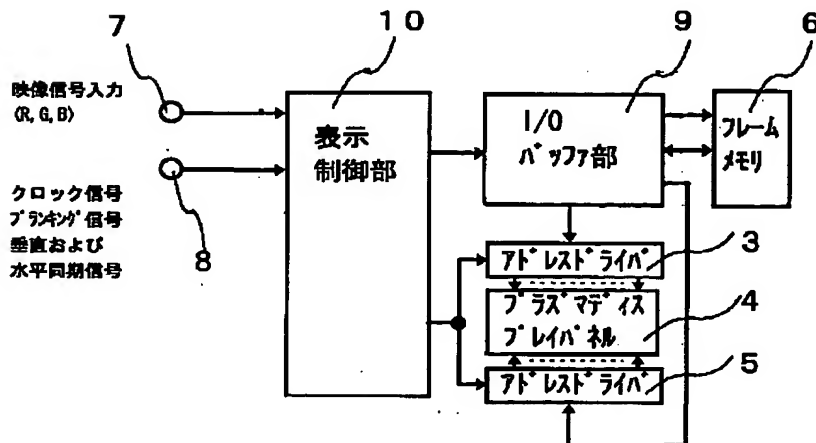
【図 8】



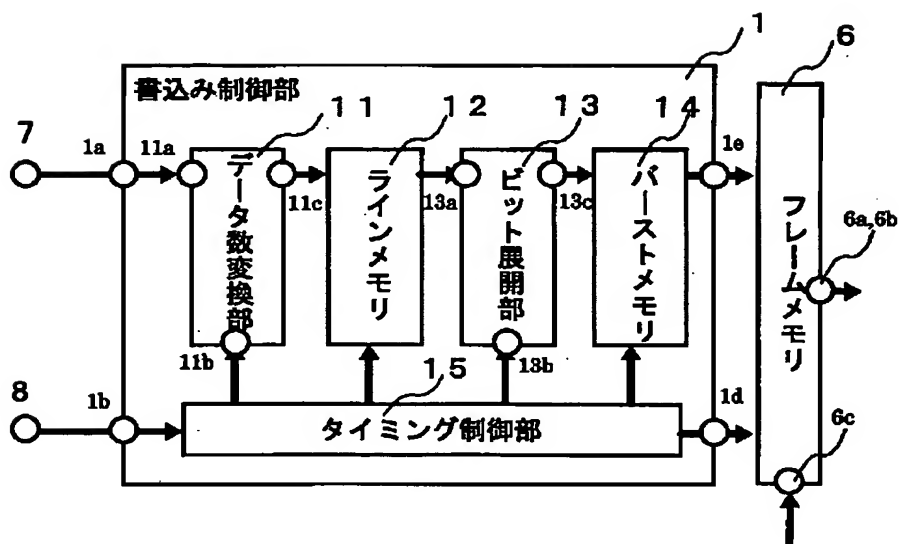
【図 9】



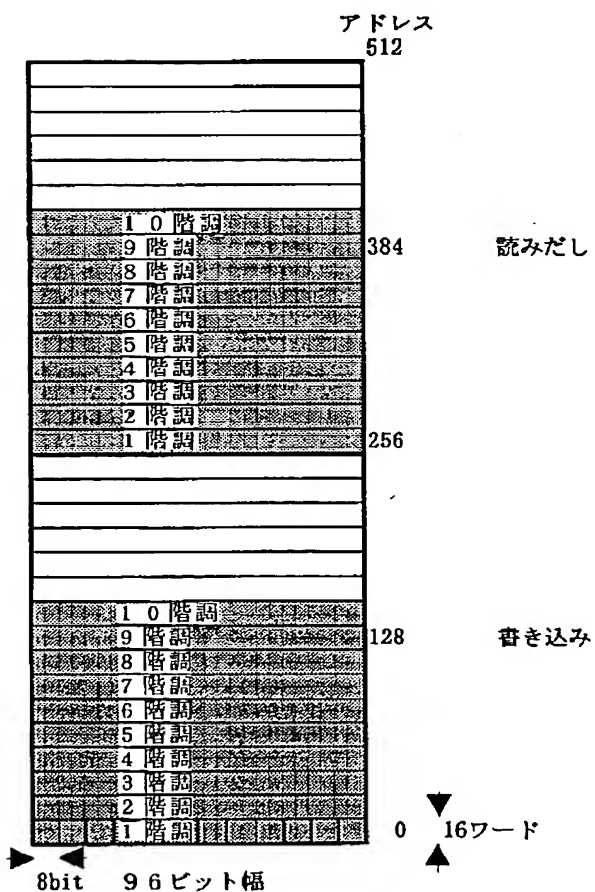
【図 13】



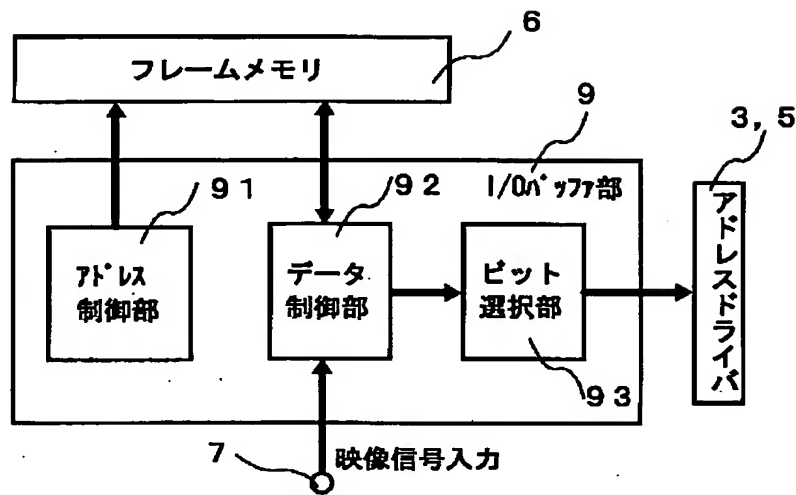
【図 1 0】



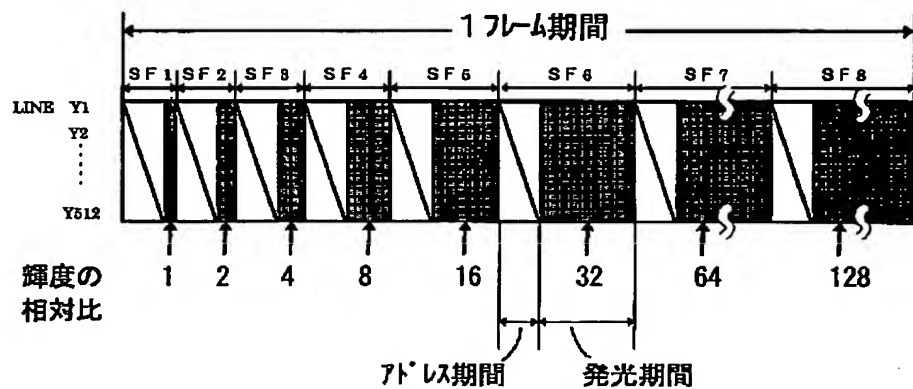
【図 1 1】



【図 1 4】



【図 1 5】



フロントページの続き

(72) 発明者 熊倉 健
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所家電・情報メディア事業
 本部内